

# 并行折叠计数器的 BIST 方案

梁华国<sup>1</sup>, 李 鑫<sup>2</sup>, 陈 田<sup>2</sup>, 王 伟<sup>2</sup>, 易茂祥<sup>1</sup>

(1. 合肥工业大学电子科学与应用物理学院, 安徽合肥 23009; 2. 合肥工业大学计算机与信息学院, 安徽合肥 23009)

**摘 要:** 本文提出了一种新的基于初始状态的并行折叠计数结构, 并给出了建议的多扫描链的 BIST 方案. 与国际上同类方法相比, 该方案需要更少的测试数据存储容量、更短的测试应用时间, 其平均测试应用时间是同类方案的 0.265%, 并且能很好地适用于传统的 EDA 设计流程.

**关键词:** 内建自测试; 线性反馈移位寄存器; 并行折叠计数器; 多扫描链; 测试数据压缩

**中图分类号:** 306.2 **文献标识码:** A **文章编号:** 0372-2112 (2012) 05-1030-04

**电子学报 URL:** <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2012.05.027

## BIST Scheme of Parallel Folding Counters

LIANG Hua-guo<sup>1</sup>, LI Xin<sup>2</sup>, CHEN Tian<sup>2</sup>, WANG Wei<sup>2</sup>, YI Mao-xiang<sup>1</sup>

(1. School of Electronic Science and Applied Physics, Hefei University of Technology, Hefei, Anhui 23009, China;

2. School of Computer and Information, Hefei University of Technology, Hefei, Anhui 23009, China)

**Abstract:** A new architecture of parallel folding counters is presented and a preferred BIST scheme of multiple scan chains is advised. Compared to international similar approaches, the proposed scheme needs less storage volume and shorter test application time, test application time is only as much as 0.265% of other similar scheme, and is compatible with traditional scan-based design flow.

**Key words:** built-in self-test (BIST); linear feedback shift registers (LFSR); parallel folding counters; multiple scan chains; test data compression

## 1 引言

随着集成电路的规模和集成度的提高,特别是片上系统(System on-a-Chip, SoC)的出现,越来越多的功能被集成到一个芯片上.这使得芯片测试中的目标故障数目大大增加,从而导致测试数据量随之激增.测试数据量的增加和测试通道带宽的限制使得测试应用时间随之增加.研究表明,测试数据量的增加显著提高测试成本<sup>[1]</sup>.

目前,内建自测试(Built-In Self-Test, BIST)方案已经被广泛的应用以解决 SoC 测试中的大量测试数据问题. BIST 测试模式生成通常分为伪随机模式、加权伪随机模式、确定模式以及混合模式等生成方式<sup>[2]</sup>.其中混合模式具有简单及高故障覆盖率的特点,近年来成为研究热点,如基于折叠计数器的重新播种的方案<sup>[3]</sup>,双种子压缩方案<sup>[4]</sup>,选择折叠计数状态转移的 BIST 方案<sup>[5]</sup>,折叠计数器和 RAS 结构结合的方案<sup>[6]</sup>等.非 BIST 方案,以编码方案为代表来解决数据量的文献有<sup>[7~9]</sup>.

本文提出了一种并行折叠计数器结构,在保持高压压缩率的同时减少测试应用时间,克服了文献[3~6]较长的测试应用时间的同时,并且获得高数据压缩率.本方案的平均测试应用时间减少了 99.735%.

## 2 基于初始状态的并行折叠计数器与确定 BIST

文献[3~5]都是基于折叠计数器的 BIST 方案,因测试向量是串行移入扫描链,所以需要较长的测试时间.本文提出的并行折叠计数器方案,每个时钟周期可以并行移入一个扫描切片,显著减少测试应用时间.该并行折叠计数器的 BIST 方案如图 1 所示,包括 BIST 的测试生成器,被测电路,多输入的特征寄存器和 BIST 的测试控制模块.其中 BIST 的测试生成器(Test Pattern Generator, TPG)由线性反馈移位寄存器、相移器和并行折叠计数器控制电路构成.相移器主要是为了打破扫描链之间的数据相关性,提高故障覆盖率,其具体的综合

算法可以参考[10,11].在实际应用过程中,采用扫描链相容技术<sup>[12]</sup>,这样可以减小 BIST 部分的硬件开销.

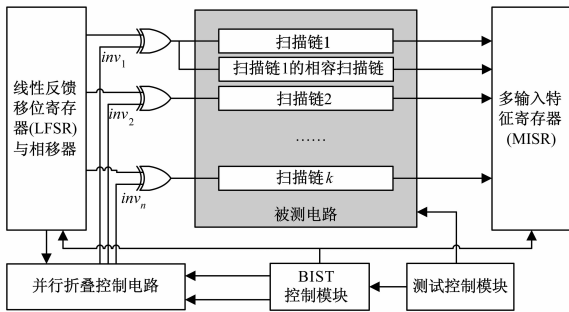


图1 并行折叠计数器自测试方案框图

### 2.1 并行折叠计算

本文是在传统折叠计数器的理论<sup>[3]</sup>的基础上,提出了并行折叠计算.对于一个状态序列  $S = x_1x_2 \cdots x_n$ ,对  $S$  进行  $i$  次并行折叠计算形式化描述为:

$$FP(i, S) = (\neg^{inv(1,i)} x_1, \neg^{inv(2,i)} x_2, \dots, \neg^{inv(n,i)} x_n) \quad (1)$$

其中  $inv(j, i)$  为并行折叠计算的翻转函数,它的运算规则如公式(2)所示:

$$inv(j, i) = \begin{cases} m, & \text{if } inv(i, j) \% m = 0 \\ inv(i, j) \% m, & \text{else} \end{cases} \quad (2)$$

其中  $0 \leq i \leq n, 1 \leq j \leq n$

在公式(2)中,  $i$  表示折叠距离,  $j$  表示  $x_j$  在  $S$  中的位置,  $m$  表示子扫描链长度,  $inv(j, i) \% m$  表示  $inv(j, i)$  对  $m$  取模.  $inv(j, i)$  表示传统的折叠计数器的翻转函数<sup>[4]</sup>.

对向量  $S$  进行  $n+1$  ( $n$  为向量  $S$  的长度)次折叠计算,可以获得一个完整的并行折叠集  $FP_S$ . 它的形式如下:

$$FP_S = \{S_i | FP(i, S), 0 \leq i \leq n, i \text{ 为整数}\} \quad (3)$$

式(3)表示由初始向量  $S$  生成的并行折叠集  $FP_S$ .

由定义可知,由同一向量  $S$  生成的折叠集  $F_S$  和并行折叠集  $FP_S$  是相同的.并行折叠计算与传统折叠计算最大的差别是并行的翻转函数在一个时钟周期能翻转多位数据.使用并行折叠控制电路控制所有的子扫描链的数据翻转,从而每个时钟周期可以移入一个扫描切片.

表 1 是在扫描链条数  $k$  为 3 且子扫描链长度  $m$  为 4 的情况下,以  $s = 010100001001$  为初始种子的并行折叠集.表 1 第一列是状态转移函数  $F(i, s)$  和并行折叠翻转函数  $inp(j, i)$ ,第二,三和四列是三条扫描链  $SC1, SC2$  和  $SC3$  在不同的时刻对应的扫描链中的数据 and 翻转函数值.最后一列是是对应的折叠距离  $i$ 、段中折叠距离  $NIC$  和段折叠距离  $NC$  的信息.

表 1 以  $S$  为种子并行折叠集

$F(i, s)$	SC1	SC2	SC3	$i/NIC/NC$
	$j = 1\ 2\ 3\ 4$	$5\ 6\ 7\ 8$	$9\ 10\ 11\ 12$	
$F(0, s)$	0 1 0 1	0 0 0 0	1 0 0 1	0/0/0
$inp(j, i)$	0 0 0 0	0 0 0 0	0 0 0 0	
$F(1, s)$	1 0 1 0	1 1 1 1	0 1 1 0	1/1/0
$inp(j, i)$	1 1 1 1	1 1 1 1	1 1 1 1	
$F(2, s)$	1 1 0 1	0 0 0 0	1 0 0 1	2/2/0
$inp(j, i)$	1 2 2 2	2 2 2 2	2 2 2 2	
$F(3, s)$	1 1 1 0	1 1 1 1	0 1 1 0	3/3/0
$inp(j, i)$	1 2 3 3	3 3 3 3	3 3 3 3	
$F(4, s)$	1 1 1 1	0 0 0 0	1 0 0 1	4/4/0
$inp(j, i)$	1 2 3 4	4 4 4 4	4 4 4 4	
$F(5, s)$	1 1 1 1	1 1 1 1	0 1 1 0	5/1/1
$inp(j, i)$	1 2 3 4	1 1 1 1	1 1 1 1	
$F(6, s)$	1 1 1 1	1 0 0 0	1 0 0 1	6/2/1
$inp(j, i)$	1 2 3 4	1 2 2 2	2 2 2 2	
$F(7, s)$	1 1 1 1	1 0 1 1	0 1 1 0	7/3/1
$inp(j, i)$	1 2 3 4	1 2 3 3	3 3 3 3	
$F(8, s)$	1 1 1 1	1 0 1 0	1 0 0 1	8/4/1
$inp(j, i)$	1 2 3 4	1 2 3 4	4 4 4 4	
$F(9, s)$	1 1 1 1	1 0 1 0	0 1 1 0	9/1/2
$inp(j, i)$	1 2 3 4	1 2 3 4	1 1 1 1	
$F(10, s)$	1 1 1 1	1 0 1 0	0 0 0 1	10/2/2
$inp(j, i)$	1 2 3 4	1 2 3 4	1 2 2 2	
$F(11, s)$	1 1 1 1	1 0 1 0	0 0 1 0	11/3/2
$inp(j, i)$	1 2 3 4	1 2 3 4	1 2 3 3	
$F(12, s)$	1 1 1 1	1 0 1 0	0 0 1 1	12/4/2
$inp(j, i)$	1 2 3 4	1 2 3 4	1 2 3 4	

### 2.2 并行折叠计数器的控制电路

图 2 是对图 1 中并行折叠控制电路的细化.具体说明如下:

(1)本文把文献[3]中的折叠距离计数器分成两部分:一部分是段折叠距离计数器,它的值范围是  $0 \sim K-1$  ( $K$  为扫描链的数目),  $NC$  是段折叠距离计数器的值  $\lfloor i/m \rfloor$  ( $i$  是折叠距离,  $m$  是子扫描链长度);另一部分是段中折叠距离计数器,它是模  $m$  计数器 ( $m$  是扫描链的长度),  $NIC$  是段中折叠距离计数器的值  $i \% m$ . 这样两个计数器的值就可表示当前折叠距离的值  $i = NC * m + NIC$ . 表 1 的最后一列给出的是折叠距离  $i$ 、段中折叠距离  $NIC$  和段折叠距离  $NC$  的信息. 状态转移函数  $F(9, s)$  对应的折叠距离为 9,段中折叠距离为 1 和段折

叠距离为 2.

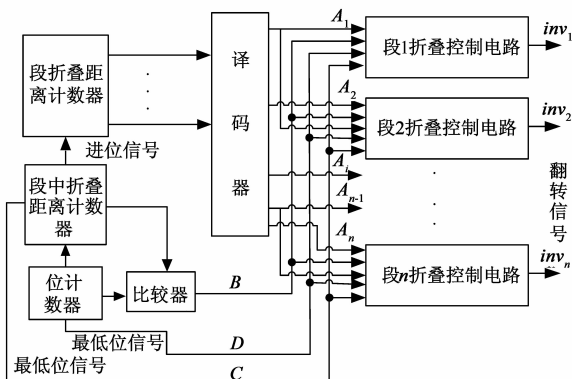


图2 并行折叠计数器的控制电路示意图

(2) 段折叠距离计数器译码后的数据为  $K$  位的  $0 \cdots 01 \cdots 1$  序列 ( $K$  为扫描链的数目), 第一个 1 对应当前的折叠距离所在的第  $NC$  条扫描链. 段折叠距离计数器译码得到的结果作用于各个段折叠控制电路.

(3) 图 2 中的位计数器也是模  $m$  计数器. 比较器比较的是段折叠距离计数器和位计数器的值, 比较器输出的结果作用于各个段折叠控制电路.

(4) 段折叠控制电路使用段中折叠距离计数器或位计数器的最低位作为控制翻转信号. 段折叠控制电路分两类, 第一类就是段 1 折叠控制电路, 如图 3(a) 所示; 另一个是非段 1 折叠控制电路, 如图 3(b) 所示. 图 3(a) 中信号如下:  $A_1$ : 段 1 译码信号;  $B$ : 比较器信号;  $C$ : 段中折叠距离计数器最低位信号;  $D$ : 位计数器最低位信号;  $inv_1$ : 翻转输出信号. 图 3(b) 中信号如下:  $A_{i-1}$ : 前一段译码信号;  $A_i$ : 当前段译码信号;  $inv_i$ : 翻转输出信号; 信号  $B, C$  和  $D$  与图 3(a) 中的含义相同.

当  $M$  段是非段 1 折叠控制电路时, 还需要让译码序列中的第  $M-1$  位输出到段  $M$  折叠控制电路中的或门输出端. 这样做的目的是遵循并行折叠翻转规律.

(5) 图 3 中的翻转信号  $inv_i$  是图 1 中的  $inv_i$  信号, 该信号是图 1 中异或门一个输入端, 异或门另一个输入端接相移器的输出, 这样即可实现一次  $K$  ( $K$  为扫描链的数目) 位数据的翻转移入.

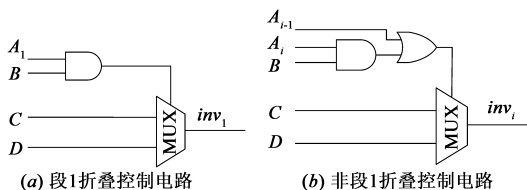


图3 段折叠控制电路

### 3 实验结果分析

本方案在 ISCAS-89 和 ISCAS-85 的部分电路上进行实验, 对这些电路加载 10000 个随机模式测试之后获得

的硬故障集  $T_D$  进行测试压缩处理. 在实际使用时, 采用扫描链相容技术<sup>[12]</sup>, 这样可以减小 BIST 部分的硬件开销. 扫描链相容是在不破坏扫描链原有的结构和降低故障覆盖率的前提下, 将相容扫描链的数据通过扇出线扩展到对应的扫描链组中去.

表 2 所示的是进行扫描链相容后的结果, 可以看出, 输入数在相容后得到了很大的减少, 而且随着扫描链划分的条数增多, 输入数减少的更多. 这是因为扫描链条数变多, 每条扫描链就变短, 扫描链的相容的概率越大.

表 2 扫描相容下的测试模式的变化

电路	原始输入	不同扫描链条数 $n$ 扫描相容后输入数					
		16	32	48	64	128	200
S5378	214	56	28	20	24	14	14
S9234	247	128	104	72	68	50	50
S13207	700	132	88	75	55	36	28
S15850	611	156	80	65	60	45	48
S38417	1664	312	312	210	182	117	117
S38584	1464	276	184	155	92	84	64

表 3 中列出了各个基准电路应用扫描相容后数据压缩的数据. 第 3 列是压缩率最好的情况下的扫描链划分的条数. 第 6 列中显示了并行输入实际需要输入的扫描链数目. 可以看出在本方案中, 虽然扫描链数目很多, 但并行输入的扫描链数目是比较少的, 因此硬件开销较小.

表 3 本方案在不同扫描链条数下的最好结果

电路	电路输入	扫描链数	压缩后存储位数	扫描相容的输入数	合并后扫描链
S5378	214	128	108	14	7
S9234	247	32	2856	104	13
S13207	700	128	342	36	6
S15850	611	32	1410	80	4
S38417	1664	16	10542	312	3
S38584	1464	200	702	64	8

表 4 本文方案与双重种子的 BIST 方案比较

电路	A 建议方案		B 双重种子方案 <sup>[4]</sup>		测试时间减少 (%)
	存储位数	种子个数	存储位数	种子个数	
S5378	108	9	156	14	99.958%
S9234	2856	68	3800	95	99.016%
S13207	342	19	1044	58	99.985%
S15850	1410	47	3360	112	99.825%
S38417	10542	191	11214	267	99.634%
S38584	702	27	2891	59	99.989%

表 4 所示为本文方案与双重种子压缩的 BIST 方案<sup>[4]</sup>比较. 在本方案中, 扫描链的条数会影响到并行控制电路的规模, 但是从表 3 中可以看出, 虽然扫描链条数多, 由于应用扫描相容后, 实际需要并行输入的并不是很多. 表 4 中的种子个数是指用 LFSR 编码后折叠计

数器的种子数.从表中最后一列可以看出测试应用时间明显大幅度的减少,平均测试应用时间减少为 99.735%.这里的测试时间是以时钟周期数为标准,即是种子数 \* 测试模式长 \* (测试模式 + 1).

## 4 总结

本文在传统折叠计算的基础上提出了并行折叠计算理论,设计出相应的并行折叠控制电路,并提出一个新的、有效的基于多扫描链的 BIST 方案.实验结果表明,该方案在不改变传统的 EDA 设计流程的基础上,以较小的硬件开销为代价,不仅获得相当高的测试数据压缩率,测试应用时间最多减少了 99.989%,平均测试应用时间减少了 99.735%.

## 参考文献

- [1] N A Touba. Survey of test vector compression techniques[J]. Design & Test of Computers, 2006, 23(4): 294 - 303.
- [2] Michael L Bushnell, Vishwani D Agrawal. Essentials of Electronic Testing for Digital, Memory & Mixed-Signal VLSI Circuits [M]. New York: Kluwer Academic Publisher, 2002. 498 - 512.
- [3] 梁华国, Hellebrand S, Wunderlich H J. 一种基于折叠计数器重新播种的确定自测试方案[J]. 计算机研究与发展, 2001, 38(8): 931 - 938.  
Liang Huaguo, Hellebrand S, Wunderlich H J. A deterministic BIST scheme based on reseeding of folding counter [J]. Journal of Computer Research and Development, 2001, 38(8): 931 - 938. (in Chinese)
- [4] 梁华国, 蒋翠云. 使用双重种子压缩的混合模式自测试[J]. 计算机研究与发展, 2004, 41(1): 214 - 220.  
Liang Huaguo, Jiang Cuiyun. Mixed mode BIST using bi-seed compression [J]. Journal of Computer Research and Development, 2004, 41(1): 214 - 220. (in Chinese)
- [5] 梁华国, 方祥圣, 蒋翠云, 等. 一种选择折叠计数状态转移的 BIST 方案[J]. 计算机研究与发展, 2006, 43(2): 343 - 349.  
Liang Huaguo, Fang Xiangsheng, Jiang Cuiyun, et al. A BIST scheme based on selecting state transition of folding counters [J]. Journal of Computer Research and Development, 2006, 43(2): 343 - 349. (in Chinese)
- [6] 梁华国, 祝沈财, 等. 基于 RAS 结构优化测试时间和数据量的测试方[J]. 电子学报, 2008, 36(12): 2418 - 2422.  
Liang Huaguo, Zhu Shencai, et al. A test scheme based on RAS structure to reduced test volume and time [J]. Acta Electronica Sinica, 2008, 36(12): 2418 - 2422. (in Chinese)
- [7] 詹文法, 梁华国, 时峰, 等. 一种混合定变长虚拟游程编程的测试数据压缩方案[J]. 电子学报, 2009, 37(8): 1837 - 1841.  
Zhan Wenfa, Liang Huaguo, et al. A data compression scheme based on mixed fixed and variable run-length coding in virtual box [J]. Acta Electronica Sinica, 2009, 37(8): 1837 - 1841. (in Chinese)
- [8] 欧阳一鸣, 成丽丽, 梁华国. 一种基于变长数据块相关性统计的测试数据压缩和解压方法 [J]. 电子学报, 2008, 36(12): 298 - 302.  
OuYang Yiming, Cheng Lili, et al. A new test data compression technique based on static relativity of variable length data block [J]. Acta Electronica Sinica, 2008, 36(12): 298 - 303. (in Chinese)
- [9] 韩银和, 李晓维, 等. 应用 Variable-Tail 编码压缩的测试资源划分方法[J]. 电子学报, 2004, 32(8): 1346 - 1350.  
Han Yinhe, Li Xiaowei, et al. Test resource partition using variable-tial code [J]. Acta Electronica Sinica, 2004, 32(8): 1346 - 1350. (in Chinese)
- [10] Rajski Janusz, Tyszer Jerzy. Design of Phase shifters for BIST Applications [A]. Proc VLSI Test Symp [C]. Monterey California 1998: 218 - 224.
- [11] J Rajski, N Tamarapalli, J Tysezer. Automated synthesis of phase shifters for built-in self-test applications [J]. IEEE Transcation on Computer-Aided Design of Integrated Circuits and Systems, 2009, 19(10): 1175 - 1188.
- [12] 梁华国, 刘军, 蒋翠云, 等. 约束输入精简的多扫描链 BIST 方案[J]. 计算机辅助设计与图形学学报, 2007, 19(3): 371 - 375.  
Liang Huaguo, Liu Jun, Jiang Cuiyun, et al. Constraint input reduction BIST scheme for multiple scan chains [J]. Journal of Computer-Aided Design & Computer Graphics. 2007, 19(3): 371 - 375. (in Chinese)

## 作者简介



梁华国 男, 1959 年生于安徽合肥, 教授, 博士生导师, 主要研究方向为内建自测试、数字系统设计自动化、ATPG 算法、分布式控制等。  
E-mail: huagulg@hfut.edu.cn

李鑫 男, 硕士研究生, 1986 年生于安徽蒙城, 主要研究方向低功耗测试、测试数据压缩。  
E-mail: lee.xin.gml@gmail.com